

Datorteknik

Tomas Nordström

Om Portar på
SAM3U

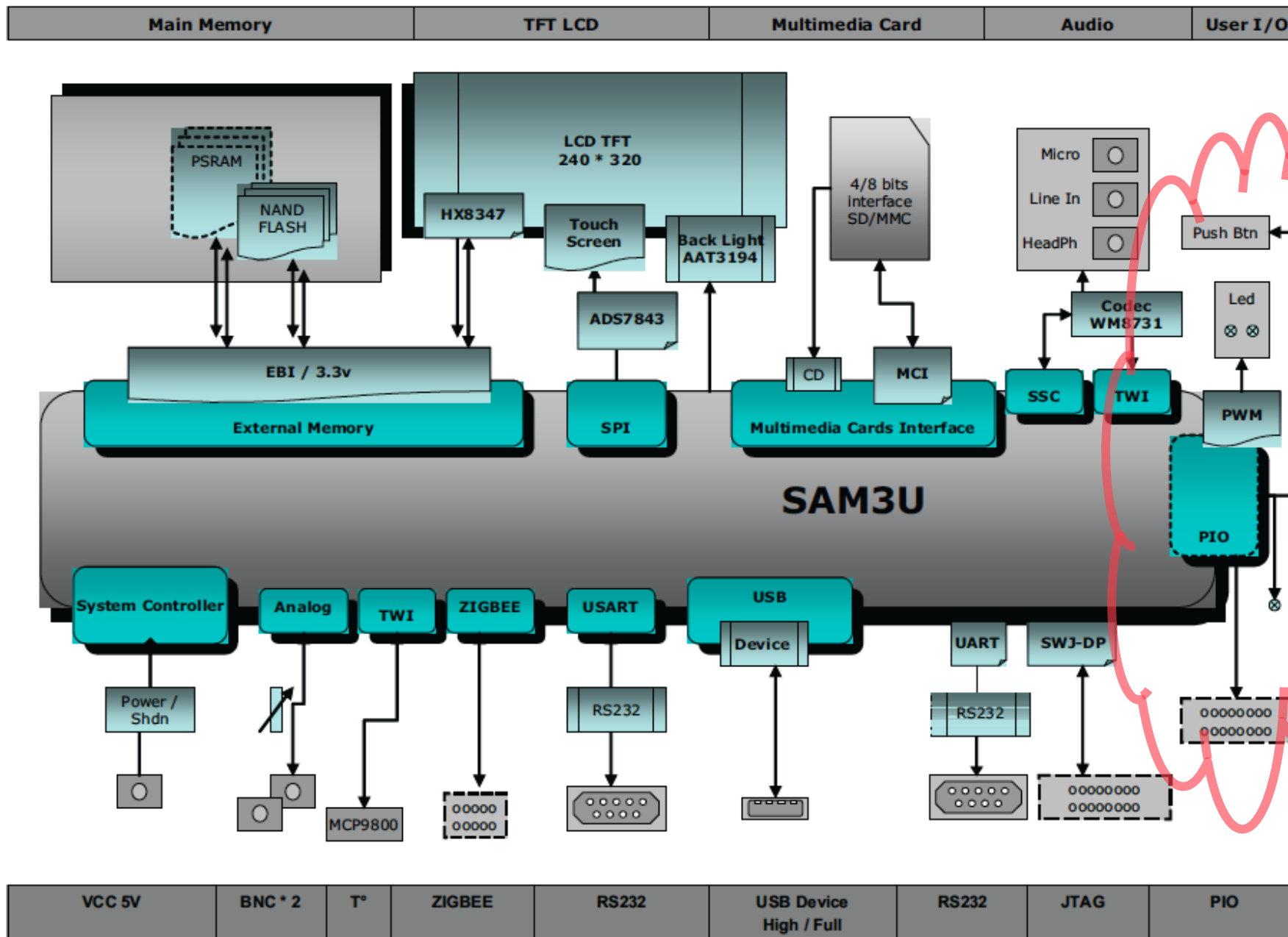
För utveckling av verksamhet, produkter och livskvalitet.



Om Portar på SAM3U

- Pinnar på mikroprocessorn
- In och utenheter på labkortet
- Styrning av In/utportar

Figure 4-1. SAM3U-EK Block Diagram

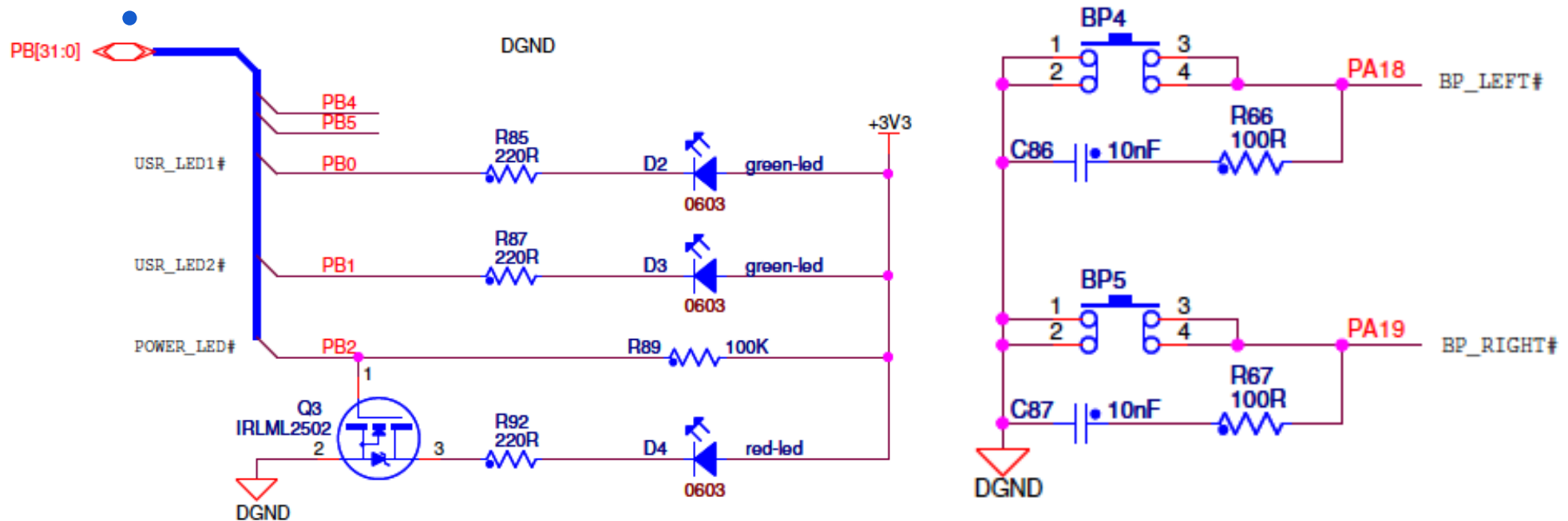


Portar

- SAM3U har 3 portar á 32 ledningar
- Men mǎnga har dubbel funktion

		MN1A SAM3U				
PA0	109	PA0/WKUP0		PB0/PWMH0	53	PB0
PA1	111	PA1/WKUP1		PB1/PWMH1	55	PB1
PA2	113	PA2/WKUP2		PB2/PWMH2	57	PB2
PA3	115	PA3/CK		PB3/AD12BAD2	79	PB3
PA4	117	PA4/CDA		PB4/AD12BAD3	80	PB4
PA5	119	PA5/DA0		PB5/AD0	65	PB5
PA6	121	PA6/DA1		PB6/D15	66	PB6
PA7	123	PA7/DA2		PB7/A0/NBS0	67	PB7
PA8	128	PA8/DA3		PB8/A1	68	PB8
PA9	130	PA9/TWD0		PB9/D0	31	PB9
PA10	132	PA10/TWCK0		PB10/D1	30	PB10
PA11	133	PA11/URXD		PB11/D2	59	PB11
PA12	134	PA12/UTXD		PB12/D3	61	PB12
PA13	87	PA13/MISO		PB13/D4	62	PB13
PA14	88	PA14/MOSI		PB14/D5	29	PB14
PA15	91	PA15/SPCK		PB15/D6	97	PB15
PA16	93	PA16/NPCS0		PB16/D7	96	PB16
PA17	95	PA17/WKUP7		PB17/NANDOE	26	PB17
PA18	99	PA18/WKUP8		PB18/NANDWE	25	PB18
PA19	100	PA19/WKUP9		PB19/NRD	24	PB19
PA20	101	PA20/TXD1		PB20/NCS0	23	PB20
PA21	102	PA21/RXD1		PB21/A21/NANDALE	21	PB21
PA22	77	PA22/RTS1		PB22/A22/NANDCLE	20	PB22
PA23	103	PA23/CTS2		PB23/NWR0/NWE	19	PB23
PA24	105	PA24/WKUP11		PB24/NANDRDY	15	PB24
PA25	106	PA25/WKUP12		PB25/D8	14	PB25
PA26	107	PA26/TD		PB26/D9	13	PB26
PA27	64	PA27/PCK0		PB27/D10	12	PB27
PA28	45	PA28/TK		PB28/D11	10	PB28
PA29	46	PA29/PWMH1		PB29/D12	8	PB29
PA30	78	PA30/TF		PB30/D13	6	PB30
PA31	48	PA31/RF		PB31/D14	5	PB31
PC0	110	PC0/A2		PC16/NCS2	82	PC16
PC1	112	PC1/A3		PC17/AD12BAD6	83	PC17
PC2	114	PC2/A4		PC18/AD12BAD7	84	PC18
PC3	116	PC3/A5		PC19/NPCS1	32	PC19
PC4	118	PC4/A6		PC20/A14	108	PC20
PC5	120	PC5/A7		PC21/A15	22	PC21
PC6	122	PC6/A8		PC22/A16	47	PC22
PC7	124	PC7/A9		PC23/A17	49	PC23
PC8	129	PC8/A10		PC24/A18	54	PC24
PC9	131	PC9/A11		PC25/A19	56	PC25
PC10	89	PC10/A12		PC26/PWMH2	58	PC26
PC11	92	PC11/A13		PC27/A23	63	PC27
PC12	94	PC12/NCS1		PC28/DA4	69	PC28
PC13	98	PC13/RXD3		PC29/DA5	70	PC29
PC14	28	PC14/NPCS2		PC30/DA6	71	PC30
PC15	81	PC15/NWR1/NBS1		PC31/DA7	72	PC31

Lysdioder och knappar



IRLML 2502

N-Channel MOSFET

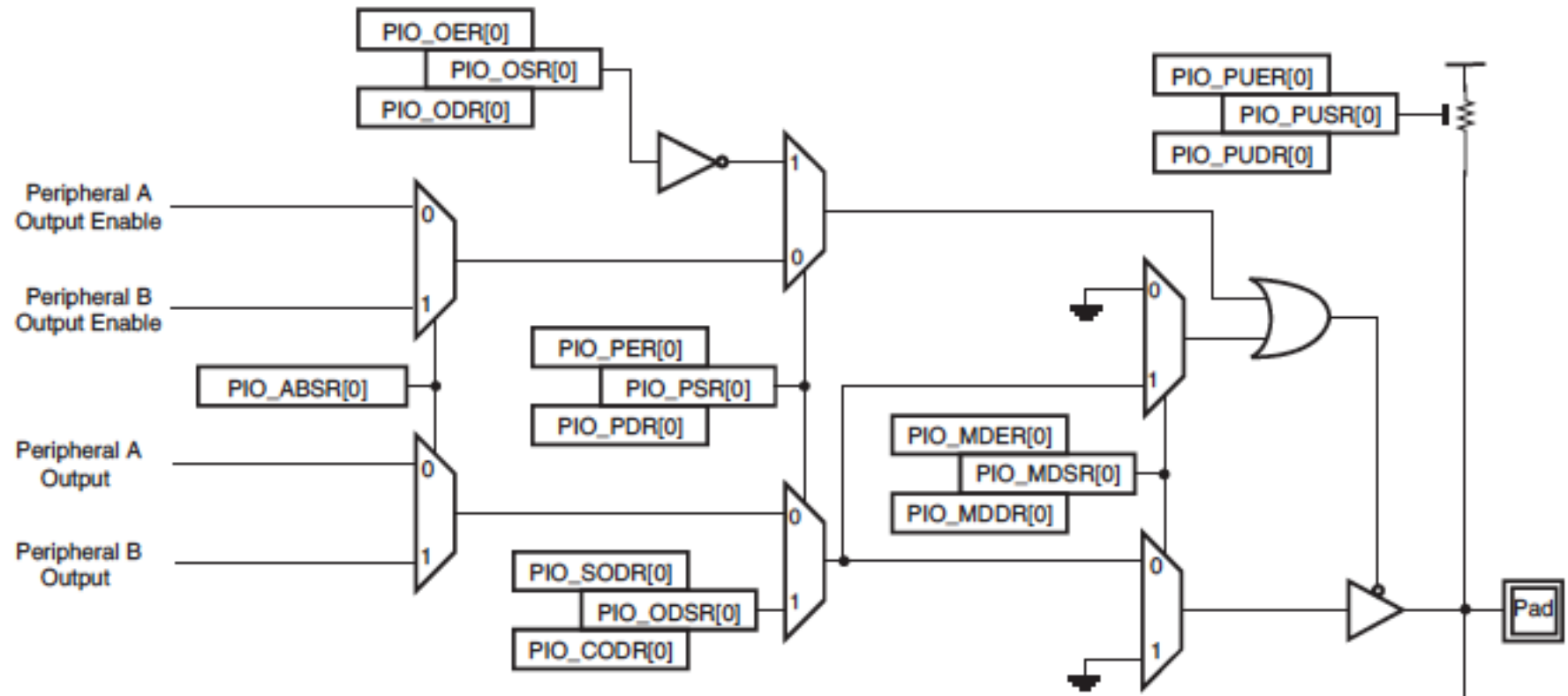
1=G; 2=S; 3=D

När $V_{GS} < V_{th}$: avstängd (röd lyser inte)

När $V_{GS} > V_{th}$: leder ström mellan D&S (röd lyser)

Skrivning till portar

I/O Line Control Logic



Styrning av utport

- **PIO Enable**
 - PIO Enable/Disable/Status Register (PIO_PER, PIO_PDR, PIO_PSR)
 - [=0 inbyggd I/O, =1 vår I/O]
- **Output Enable**
 - Output Enable/Disable/Status Register (PIO_OER, PIO_ODR, PIO_OSR)
 - [=0 tristate/inport, =1 utport]
- **Pull-up Enable**
 - Pull-up Enable/Disable/Status Register (PIO_PUER, PIO_PUDR, PIO_PUSR)
 - [=0 med pullupmotstånd, =1 utan pullupmotstånd]
- **Output Data Register**
 - PIO_SODR (Set Output Data Register) och PIO_CODR (Clear Output Data Register) sätter respektive nollställer PIO_ODSR (Output Data Status Register)

Inport

- Det viktigaste registret för en inport är **PIO_PDSR (Pin Data Status Register)** som innehåller, det klockade, värdet av portens pinnar. Detta oberoende av hur portens styrenheten med alla dess register har satts upp.

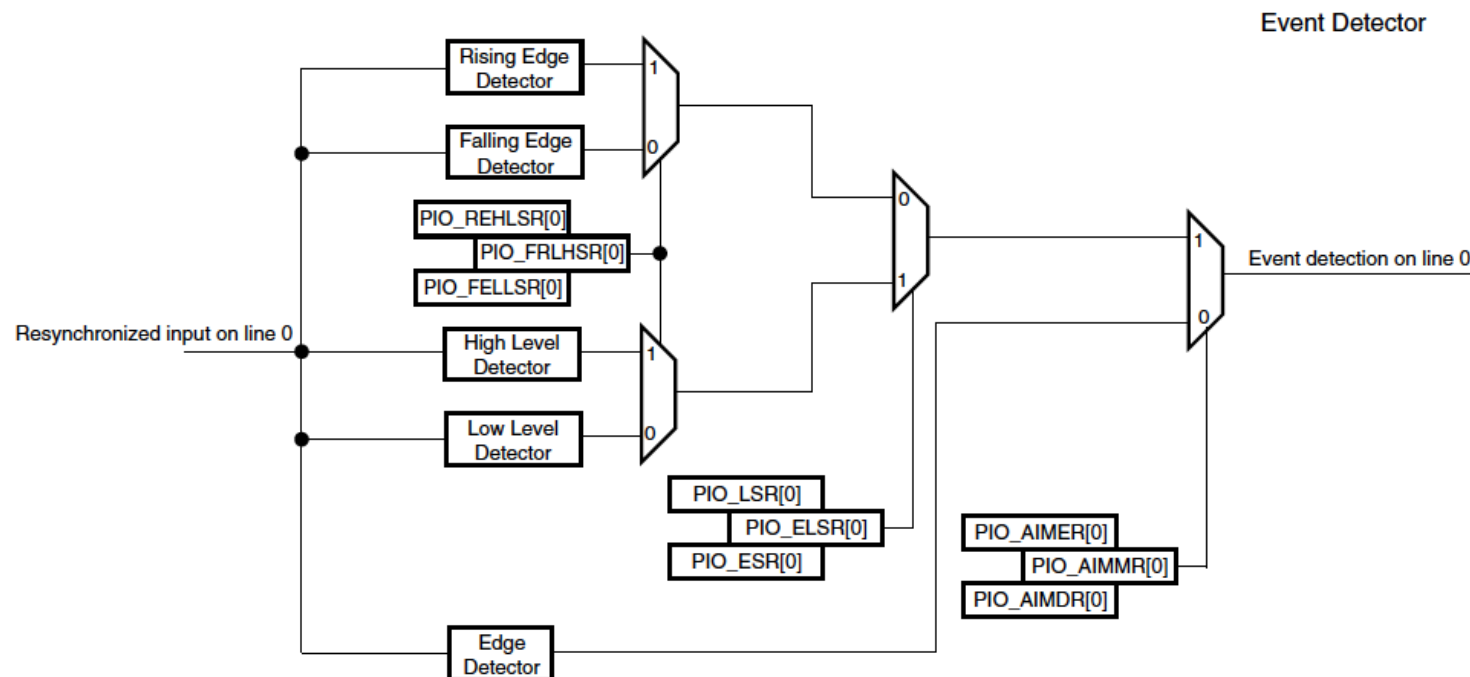
Styrning av Inport

- **Interrupt Enable (PIO_IMR)**
 - Interrupt Enable/Disable/Mask Register (PIO_IER, PIO_IDR, PIO_IMR)
 - [=0 inget avbrott tillåts, =1 kan generera avbrott]
- **Pull-up Enable**
 - Pull-up Enable/Disable/Status Register (PIO_PUER, PIO_PUDR, PIO_PUSR)
 - [=0 med pullupmotstånd, =1 utan pullupmotstånd]

Avbrott på en inport

- Om avbrott tillåts så kan man styra vad som ska trigga avbrottet styrs via 3 huvudregister till.

Figure 30-7. Event Detector on Input Lines (Figure represents line 0)



Avbrott på en inport

- **Interrupt Status Register (PIO_ISR)**
- När en ingång upptäcker en avbrottshändelse (flank eller nivå) på en I/O pinne så sätts motsvarande bit i PIO_ISR (Interrupt Status Register).
- Om sedan den motsvarande biten i PIO_IMR är satt så generas ett processoravbrott. Alla 32 avbrottssignalerna ifrån en port ORas samman så att en enda avbrottssignal går till NVIC (Nested Vector Interrupt Controller). Men vilken pinne som gav avbrott kan ju avläsas i PIO_ISR.